

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10242470 A**

(43) Date of publication of application: **11.09.98**

(51) Int. Cl. **H01L 29/786**

(21) Application number: **09048688**

(22) Date of filing: **28.02.97**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **KAWANAKA SHIGERU
YAMADA TAKASHI**

(54) **SEMICONDUCTOR DEVICE AND FABRICATION THEREOF**

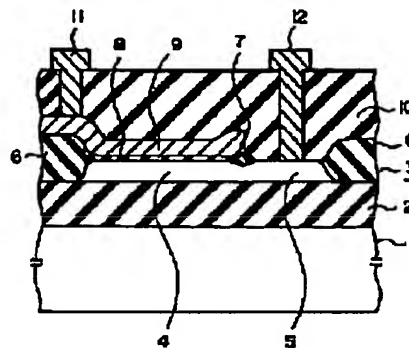
suppressed by controlling the body potential.

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To suppress floating of potential in the body region by providing a third region of the same conductivity type as the second region and conducting electrically therewith on a first insulating film while isolating the surface from a semiconductor forming region.

SOLUTION: An element part BRI region 6 is formed in a desired region and an SOI active layer 3 is separated into an element forming region 4 and a body contact region 5. The isolation width between the element forming region 4 and the body contact region 5 is set narrower than other isolation widths. The isolation region is formed principally by oxidizing an SOI active layer. The active layer is oxidized entirely in a wide isolation region by controlling oxidation of the SOI active layer. The active layer is not oxidized entirely in a narrow isolation region and a region 7 connecting the element forming region 4 and the body contact region 5 is formed. According to the structure, malfunction due to potential floating in the body region can be



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242470

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.*

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

6 2 6 B

6 2 6

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平9-46688

(22) 出願日 平成 9 年(1997) 2月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川中 繁

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 山田 敬

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

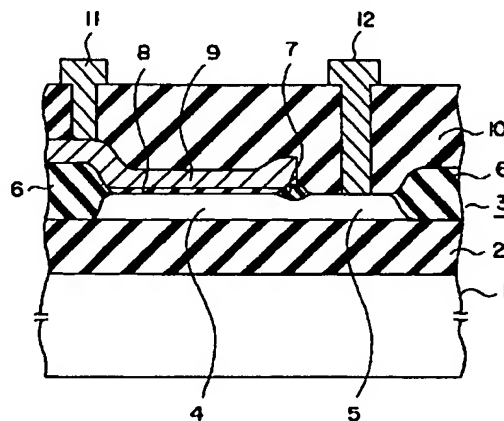
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の微細化、動作速度高速化、低消費電力化を実現することが出来る、主にSOI型半導体装置、及びその製造方法を提供すること。

【解決手段】 第1の絶縁膜(2)と、前記第1の絶縁膜(2)上に形成された半導体素子形成領域(3)とを有する半導体基板(1)を備え、前記半導体素子形成領域(3)が、少なくとも2つの第1の導電型の第1の領域(4-1、4-2)と、前記第1の領域間に設けられ、前記第1の導電型と逆の導電型の第2の領域(4-3)と、前記第2の領域上に形成された第2の絶縁膜(8)上に設けられたゲート電極(9)とを有する半導体装置において、前記第1の絶縁膜(2)上に前記半導体素子形成領域(3)と分離して形成され、前記第2の領域と同じ導電型で、かつ前記第2の領域と電気的導通がある第3の領域(6)とを更に備えた。



【特許請求の範囲】

【請求項1】 第1の絶縁膜と、前記第1の絶縁膜上に形成された半導体素子形成領域とを有する半導体基板を備え、前記半導体素子形成領域が、少なくとも2つの第1の導電型の第1の領域と、前記第1の領域間に設けられ、前記第1の導電型と逆の導電型の第2の領域と、前記第2の領域上に形成された第2の絶縁膜上に設けられたゲート電極とを有する半導体装置において、前記第1の絶縁膜上に前記半導体素子形成領域と表面が分離して形成され、前記第2の領域と同じ導電型で、かつ前記第2の領域と電氣的導通がある第3の領域とを更に備えることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記ゲート電極は、前記第2及び前記第3の領域上に形成されていることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記ゲート電極と前記第3の領域とは電氣的に導通していることを特徴とする半導体装置。

【請求項4】 半導体基板上の第1の絶縁膜上に形成された半導体素子形成領域を形成する工程と、前記半導体素子形成領域を分離するのに際し、素子分離層で分離された前記半導体素子形成領域が電氣的に導通するような深さになるように前記半導体素子形成領域を分離する前記素子分離層の幅を所定寸法以下として素子分離深さを調整して前記素子分離層を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にSOI (Silicon On Insulator) 型半導体装置とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の低消費電力化、高密度化に伴い、それらを構成する個々の素子の微細化、動作電圧の低電圧化が強く求められている。従来のBulk平面型素子においては、素子の微細化、チャネル長の縮小と共に短チャネル効果が顕在化し、それを防止するため、基板不純物濃度の高濃度化、ゲート電極-基板間絶縁膜の薄膜化等の施策が幾つかの素子縮小則に従い行われてきた。しかし、現実的には素子を微細化していくに従い幾つかの物理的な限界が存在し、より以上の微細化を達成するために新たな素子構造が幾つか提案されている。その1つとして、素子活性領域の下部に絶縁膜を有するようなSOI素子が挙げられる。

【0003】次に、SOI素子の構造、及び製造方法の典型的な例を示す。まず、図9にSOI素子のチャネル長方向素子断面図を示す。シリコン(Si)半導体基板1上に例えばシリコン酸化膜(SiO₂)2を介し、単結晶シリコン(Si)活性層3が形成され、更に例えばゲート絶縁膜となるシリコン酸化膜(SiO₂)8を介し

しゲート電極9が形成されている。また、ソース領域4-1、ドレイン領域4-2がチャネル領域となるシリコン活性層4-3と逆の導電型不純物を、例えばイオン注入法により添加することにより形成されている。

【0004】しかし、この様に形成されたSOI素子において、素子特性を向上させるためには、その素子活性層膜厚を薄膜化することが有利である反面、ソース及びドレイン拡散層、もしくはソース及びドレイン拡散層から延びる空乏層が、素子活性層下にある絶縁膜まで到達することにより、従来のBulk平面型素子において容易に制御可能であったボディ領域の電位を、それと同様に制御することが困難な構造となっている。その結果、素子動作過程においてボディ領域の電位が浮遊する現象が起り、素子のしきい電圧が素子動作中に変化してしまう等の問題があった。

【0005】これらの問題に対し、薄膜SOI素子においても、従来のBulk平面型素子と同様に、チャネル領域の電位を制御する試みが行われてきた。例えば、特開昭61-34978では、素子分離領域の下部の埋め込み絶縁膜との間に、チャネル領域に外部より電位を与える為の電極を形成することが提案されている。しかしながら、この方法では、素子分離領域を予め選択的にその量を制御しながら薄膜化しておき、更に、チャネル領域へのコンタクト部と素子分離領域とを同時に、かつ、再度その膜厚を制御しながら素子分離絶縁膜を形成する方法を用いている。従って、性能向上の為のSOI活性層の薄膜化に対して、それぞれの工程においてその量を制御することが非常に困難に成ると共に、必要とされる素子占有面積の増大を伴うという問題があった。

【0006】

【発明が解決しようとする課題】上記のように、主として、従来の薄膜SOI素子において、そのチャネル領域の電位を制御する為には、従来のBulk平面型素子を形成するに比べ、その製造工程が複雑になること、更には、素子占有面積が大幅に増加する等の問題があった。

【0007】本発明の目的は、半導体装置の微細化、動作速度高速化、低消費電力化を実現することが出来る、主にSOI型半導体装置、及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を講じた。本発明の骨子は、素子分離領域形成工程において、その素子分離幅、形成条件を変化させる事により、所望の領域に、素子形成活性層表面より形成される素子分離層が、素子分離層の下部の活性層下に位置する絶縁膜まで到達しないような領域を自己整合的に形成し、その領域を介してボディ領域の電位を制御するための領域を形成することである。

【0009】具体的には、本発明の半導体装置(請求項

1)は、第1の絶縁膜と、前記第1の絶縁膜上に形成された半導体素子形成領域とを有する半導体基板を備え、前記半導体素子形成領域が、少なくとも2つの第1の導電型の第1の領域と、前記第1の領域間に設けられ、前記第1の導電型と逆の導電型の第2の領域と、前記第2の領域上に形成された第2の絶縁膜上に設けられたゲート電極とを有する半導体装置において、前記第1の絶縁膜上に前記半導体素子形成領域と表面が分離して形成され、前記第2の領域と同じ導電型で、かつ前記第2の領域と電気的導通がある第3の領域とを更に備えた。本発明の半導体装置において、前記ゲート電極は、前記第2及び前記第3の領域上に形成されていることを特徴とする。また、前記ゲート電極と前記第3の領域とは電気的に導通していることを特徴とする。

【0010】また、本発明の半導体装置の製造方法（請求項4）は、半導体基板上の第1の絶縁膜上に形成された半導体素子形成領域を形成する工程と、前記半導体素子形成領域を分離するのに際し、素子分離層で分離された前記半導体素子形成領域が電気的に導通するような深さになるように前記半導体素子形成領域を分離する前記素子分離層の幅を所定寸法以下として素子分離深さを調整して前記素子分離層を形成する工程とを備えた。

【0011】上記のような手法を用いることにより、従来のBulk平面型素子と比較した場合であっても、製造工程が複雑化することなく、かつ面積増加も抑えながら、ボディ領域の電位を制御するための電極を形成することが出来る。その結果、ボディ電位の浮遊効果による問題を解決することができ、更には、個々素子のボディ電位を任意に制御することができるので、従来のBulk平面型素子では実現することの出来なかった回路動作等を可能にすることが出来る。

【0012】

【発明の実施の形態】図面を参照して本発明の実施の形態を説明する。図1から図5は、本発明による半導体装置の製造方法の第1の実施形態を説明するための工程図である。

【0013】先ず、図1に示すようにSIMOX又は張り合わせ等により半導体基板1上に例えば酸化膜2を介して形成されたSOI活性層3を、所望膜厚、例えば150nm程度まで例えば熱酸化法と NH_4F によるエッチングにより薄膜化する。

【0014】次に、図2に示す様に、SOI活性層3を素子形成領域4、及びボディコンタクト領域5に分離するため、所望の領域に素子分離領域6を形成する。この際、図2(a)に示すように、素子形成領域4とボディコンタクト領域5の間の素子分離幅Lを、その他の素子分離幅に比べて狭くなるように配置する。素子分離領域は、例えばLOCOS法によって形成するが、その際、素子分離領域となる絶縁膜を主にSOI活性層を酸化することにより形成する。この場合に、SOI活性層の酸

化量を制御することによって、広い素子分離領域ではSOI活性層全体を酸化する。

【0015】一方、素子形成領域4とボディコンタクト領域5の間の狭い素子分離領域ではSOI活性層全体が酸化されることがないので、図3に示すように、素子分離酸化膜の下部に、素子形成領域4とボディコンタクト領域5をつなぐ領域7を形成することが出来る。

【0016】次に、素子形成領域4、ボディコンタクト領域5、及びそれらをつなぐ領域7にそれぞれに、例えばイオン注入法により所望の不純物を導入し、その後、図4に示すように、ボディコンタクト領域5を除いて素子分離領域6及びSOI活性層3上にゲート絶縁膜8を介してゲート電極9を形成する。次に、ボディコンタクト領域5を例えばレジスト（図示しない）によりマスクし、素子のソース及びドレイン領域4-1、4-2の形成のため、所望の不純物を導入する。この後、イオン注入法により導入された不純物の活性化を行うための熱工程、例えばRTA法（Rapid Thermal Annealing）を用いたアニールを行う。

【0017】その後、絶縁膜10を介し、ソース及びドレイン領域4-1、4-2、ゲート電極9、及びボディコンタクト領域5にそれぞれコンタクト11、12（ソースコンタクト及びドレインコンタクトは図示しない）を取るよう配線を形成する工程を経て、図5に示すような所望のSOI型半導体装置を完成する。

【0018】上記の本発明の第1の実施形態によって形成した薄膜SOI素子においては、従来とほぼ同様の製造方法にもかかわらず、ボディ領域の電位が浮遊することによる動作不良を、ボディ電位を制御することにより抑えることが出来る。

【0019】更に、本発明では、素子が動作する際、ソースとドレイン間に流れる電流の通り道となるチャネル反転層と、ボディ電位コンタクト領域を、素子分離領域により分離することが出来るので、ソース、ドレイン、及びチャネル反転層とボディ電位制御用コンタクト間において高濃度p/n接合を形成することが無くなり、ボディ電位制御用コンタクト領域からのリーク電流を少なくする構造にできる。

【0020】図6は、本発明に係る半導体装置の第2の実施形態を示す図である。第1の実施形態に係る図と同じ部分には同じ符号を付し、詳細な説明は省略する。上記の第1の実施形態ではチャネル電位を外部より与える構造を示したが、例えば、素子分離領域6を形成し、素子形成領域4及びボディコンタクト領域5上にゲート絶縁膜（図示しない）を形成した後、ボディ領域上の絶縁膜を選択的に除去し、図6に示すようにゲート電極を形成しても、ボディコンタクト領域5の電位をゲート電位と同様に制御することができる。上記のような構成にした場合には、素子の基板バイアス効果により、特に動作電圧範囲が、ソース及びドレイン拡散層とボディ領域の

p-n接合に誘起されるビルトイン電位以下の場合に、図7に示す様に非常に良好なカットオフ特性を示す。従って、本発明の第2の実施形態によれば、非常に良好なカットオフ特性を示す半導体装置を、不必要なリーク電流の増加を伴わず、製造工程の増加、素子占有面積の増加を伴わず達成することが出来る。

【0021】図8は、本発明に係る半導体装置の第3の実施形態を示す図である。第1の実施形態に係る図と同じ部分には同じ符号を付し、詳細な説明は省略する。図8では、ボディ電位を制御するためのコンタクト領域と例えば多結晶半導体により形成されたゲート電極9との間に、素子形成領域と同様の絶縁膜を形成したまま、ボディコンタクト領域5上のゲート電極9を素子形成領域4上のゲート電極9と逆導電型とし、更にボディコンタクト領域5上と素子形成領域4上の多結晶半導体ゲート電極9上にまたがる様に、例えばタングステンポリサイド等の材料を用いて互いに電気的に導通させている。この様な形態にすることにより、半導体装置を動作させる際、ゲート電圧を過渡的に印加した場合、ボディコンタクト領域5に形成された容量結合により、第2の実施形態と同様に、ボディ電位を変化させることが出来る。特に本実施形態においては、ボディ電位を与える電極からのリーク電流を防止しながら、高周波で動作する回路において、容量結合によるボディバイアス効果を効率よく利用することができる利点を持つ。

【0022】なお本発明は上記の実施の形態に限定されることはない。例えば絶縁膜上に形成される単結晶層として、前述したSIMOX法や張り合わせ法により形成したSOI基板に限らず、絶縁基板上に単結晶層を張り合わせたものや、SOS (Silicon on sapphire) 基板を用いることが可能である。その他、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【0023】

【発明の効果】以上詳述したように、本発明によれば、素子分離領域の幅と膜厚を制御することで、製造方法の増加、複雑化や、素子占有面積の増大を招くことなく、ボディ電位を制御することの出来る薄膜SOI素子を形*

*成することが出来る。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る第1の工程後における半導体装置の断面図。

【図2】 本発明の第1の実施形態に係る第2の工程後における半導体装置の(a)は平面図、及び(b)は(a)の2B-2B断面図。

【図3】 本発明の第1の実施形態に係る第3の工程後における半導体装置の断面図。

10 【図4】 本発明の第1の実施形態に係る第4の工程後における半導体装置の(a)は平面図、及び(b)は(a)の4B-4B断面図。

【図5】 本発明の第1の実施形態に係る半導体装置の断面図。

【図6】 本発明の第2の実施形態に係る半導体装置の断面図。

【図7】 本発明の第2の実施形態に係る半導体装置の特性を示す図。

20 【図8】 本発明の第3の実施形態に係る半導体装置の(a)は平面図、及び(b)は(a)の2B-2B断面図。

【図9】 従来の半導体装置を示す断面図。

【符号の説明】

1…半導体基板

2…(シリコン)酸化膜

3…SOI活性層

4…素子形成領域

4-1…ソース領域

4-2…ドレイン領域

30 4-3…チャネル領域

5…ボディコンタクト領域

6…素子分離領域

7…素子形成領域とボディコンタクト領域をつなぐ領域

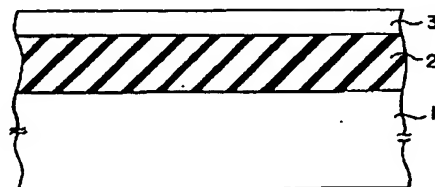
8…ゲート絶縁膜(シリコン酸化膜)

9…ゲート電極

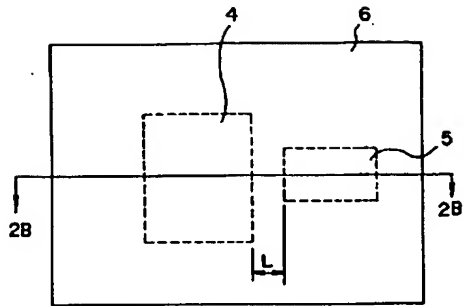
10…絶縁膜

11、12…コンタクト

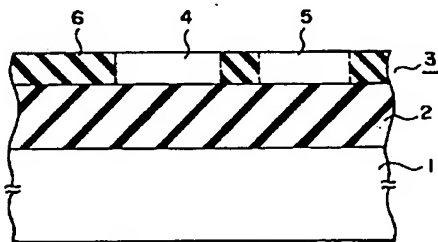
【図1】



【図2】

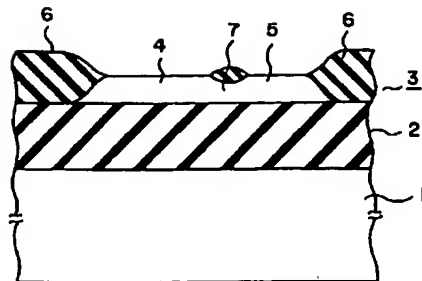


(a)

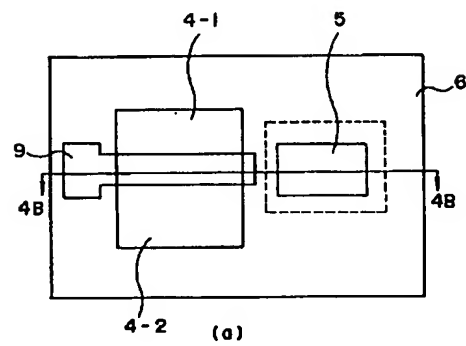


(b)

【図3】

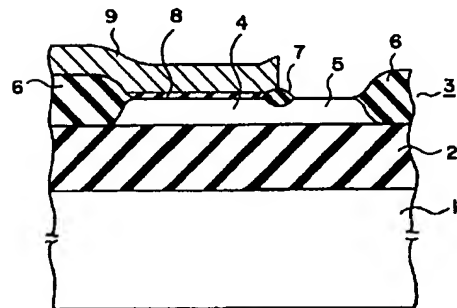
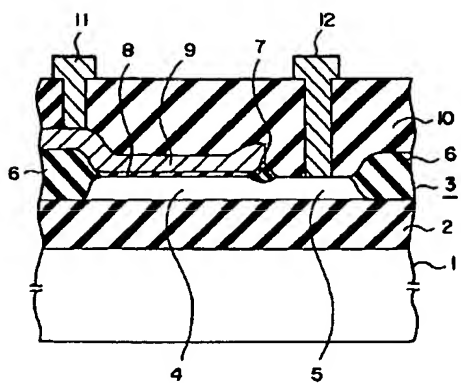


【図4】



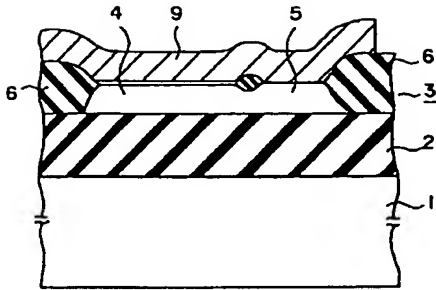
(a)

【図5】

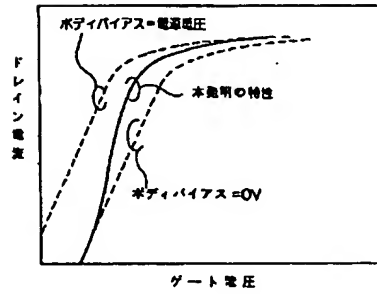


(b)

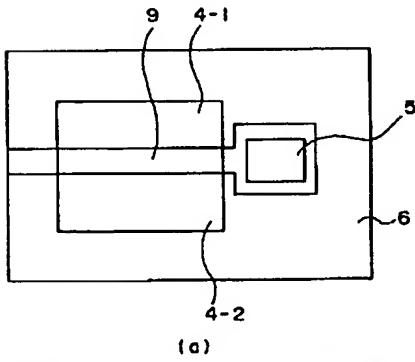
【図6】



【図7】

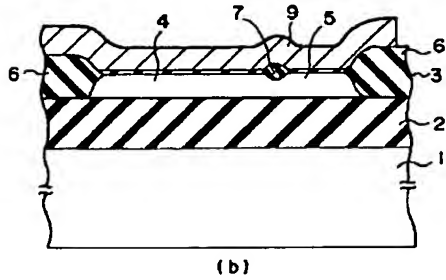
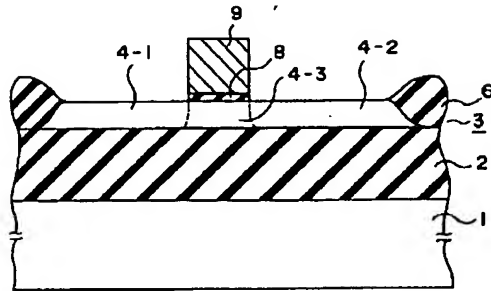


【図8】



(a)

【図9】



(b)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.